

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
14 décembre 2000 (14.12.2000)

PCT

(10) Numéro de publication internationale
WO 00/75985 A1

(51) Classification internationale des brevets⁷: H01L 21/98,
25/065

(74) Mandataire: MILHARO, Emilien; Gemplus, Boîte
postale 100, F-13881 Gemenos Cedex (FR).

(21) Numéro de la demande internationale:
PCT/FR00/01264

(81) États désignés (*national*): AE, AG, AL, AM, AT, AU, AZ,
BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK,
DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID,
IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL,
PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,
UA, UG, US, UZ, VN, YU, ZA, ZW.

(22) Date de dépôt international: 11 mai 2000 (11.05.2000)

(25) Langue de dépôt: français

(26) Langue de publication: français

(30) Données relatives à la priorité:
99/07056 4 juin 1999 (04.06.1999) FR

(84) États désignés (*régional*): brevet ARIPO (GH, GM, KE,
LS, MW, SD, SL, SZ, TZ, UG, ZW), brevet eurasien (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GW, ML, MR, NE, SN, TD, TG).

(71) Déposant (*pour tous les États désignés sauf US*): GEM-
PLUS [FR/FR]; Avenue du Pic de Bertagne, Parc d'Activ-
ités de Gémenos, F-13881 Marseille (FR).

Publiée:

— Avec rapport de recherche internationale.

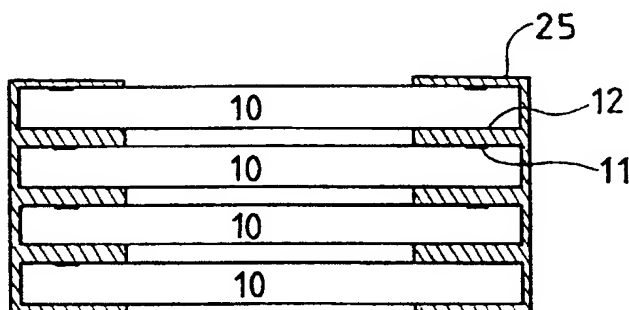
(72) Inventeurs; et

(75) Inventeurs/Déposants (*pour US seulement*): FIDALGO,
Jean-Christophe [FR/FR]; 4, rue de la Cortine, F-13420
Gémenos (FR). CALVAS, Bernard [FR/FR]; 30, Groupe
Provence, Avenue de Verdun, F-13400 Aubagne (FR).

En ce qui concerne les codes à deux lettres et autres abrégia-
tions, se référer aux "Notes explicatives relatives aux codes et
abrégiactions" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.

(54) Title: METHOD FOR MAKING AN INTEGRATED CIRCUIT PORTABLE DEVICE WITH ELECTRIC CONDUCTION
PATHS

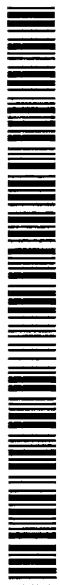
(54) Titre: PROCEDE DE FABRICATION DE DISPOSITIF PORTABLE A CIRCUIT INTEGRE AVEC CHEMINS DE
CONDUCTION ELECTRIQUE



(57) Abstract: The invention concerns a method
for making an integrated circuit portable device,
characterised in that it comprises the following
steps: providing at least an integrated circuit chip
(10) arranged on at least a wafer (1) and surrounded
by scribe lines (2); providing orifices (20) in the
scribe lines (2) running through the wafer (1);
producing an electric conduction path (25) covering
the flank of each orifice (20) and extending from
one contact pad (11) of a chip (10) adjacent to the
orifice (20) up to a connection point (12).

(57) Abrégé: L'invention concerne un procédé
de fabrication d'un dispositif portable à circuit
intégré, caractérisé en ce qu'il comporte les étapes
suivantes: fourniture d'au moins une puce de circuit

intégré (10) disposée sur au moins une plaquette (1) et entourée par des chemins de découpe (2); réalisation d'ouvertures (20) dans
les chemins de découpe (2) traversant la plaquette (1); réalisation d'un chemin de conduction électrique (25) couvrant le flanc
de chaque ouverture (20) et s'étendant d'un plot de contact (11) d'une puce (10) adjacent à l'ouverture (20) jusqu'à un point de
connexion (12).



WO 00/75985 A1

PROCEDE DE FABRICATION DE DISPOSITIF PORTABLE A CIRCUIT
INTEGRE AVEC CHEMINS DE CONDUCTION ELECTRIQUE

La présente invention concerne un procédé de fabrication de dispositifs électroniques comportant au moins une puce de circuit intégré connectée à une interface de communication à travers des chemins de conduction électrique.

La présente invention peut s'appliquer à des dispositifs comportant une seule puce de circuit intégré reliée à une interface de communication dont les plages de connexion ne se trouvent pas en vis à vis des plots de contact de la puce. Des chemins de conduction électriques permettent alors de réaliser la connexion.

La présente invention s'applique avantageusement à la fabrication de dispositifs électroniques comportant une pluralité de puces de circuit intégré empilées et connectées entre elles par des chemins de conduction électrique. Elle vise plus particulièrement des dispositifs portables à circuits intégrés comportant de tels empilement reliés à des interfaces de communication tels que bornier de connexion et/ou antenne.

Ces dispositifs électroniques constituent des dispositifs portables par exemple, tels que des cartes à puce avec et/ou sans contact ou encore des étiquettes électroniques.

La présente invention s'applique aux appareils électroniques tels que des caméras ou des piles de mémoires utilisées dans le domaine de l'aérospatiale, ou encore de l'électronique embarquée dans des véhicules, par exemple.

L'invention permet de réduire les dimensions du dispositif pour des applications dans lesquels l'encombrement doit être maîtrisé.

5 Un procédé classique de fabrication d'une pile de circuits intégrés est illustré sur la figure 1.

10 Les puces de circuit intégré 10 sont superposées par collage de la face arrière d'une puce 10 sur la face active de la précédente, les plots de contact 11 de chaque puce 10 restant dégagés pour permettre une connexion par câblage filaire 17.

 Ce procédé présente de nombreuses limites.

15 D'une part, la connexion filaire 17 impose de maintenir les plots de contact 11 dégagés, ce qui entraîne une perte d'espace importante et des risques de pollution accrus.

 D'autre part, l'encombrement des fils de connexion 17 et leur protection, par dépôt de résine ou autre, augmente encore le volume du micromodule obtenu.

20 Un tel procédé ne permet pas d'obtenir une pile de circuits intégrés compacte et le nombre de circuits à empiler est nécessairement limité au fur et à mesure de l'empilement.

25 En générale, l'empilement est limité à trois niveaux.

 La figure 2 illustre un autre procédé connu de fabrication de pile de circuits intégrés.

30 Deux puces de circuit intégré 10 sont superposées, une puce 10 étant retournée de manière à ce que les plots de contact 11 des faces actives des deux puces 10 soient en vis à vis pour une connexion en " flip chip " qui désigne une technique connue de connexion dans laquelle la puce est retournée.

Ce procédé présente néanmoins de nombreux inconvénients.

Un tel empilement est limité à deux puces de circuit intégré.

5 De plus, la connexion des puces par la technique du " flip chip " est de faible cadence.

10 Le but de la présente invention est de pallier aux inconvénients de l'art antérieur pour la réalisation de piles de circuits intégrés.

A cet effet, la présente invention propose un procédé de fabrication d'une pile de circuits intégrés permettant d'associer une fiabilité du produit fini avec une simplicité et une réduction du nombre d'étapes de fabrication.

15 En particulier, la présente invention propose de réaliser des ouvertures dans les chemins de découpe d'une plaquette portant des puces de circuit intégré, et de réaliser des chemins de conduction électrique entre les plots de contact des puces et un point de connexion situé sur la face arrière de la plaquette.

20 Des contacts électriques pourront ainsi être établis entre la face active de la puce et sa face arrière pour un empilement d'une pluralité de puces de circuit.

25 En outre l'invention permet également de connecter une unique puce de circuit intégré à une interface de communication de conception particulière dans laquelle les plages de connexion ne se situent pas en vis à vis des plots de contact de la puce. Des chemins de conduction électrique permettent alors de réaliser la connexion en reliant les plots de contact de la puce à des points de connexion situés en vis à vis des plages de connexion de l'interface de communication.

La présente invention a plus particulièrement pour objet un procédé de fabrication d'un dispositif, caractérisé en ce qu'il comporte les étapes suivantes :

- 5 - fourniture d'au moins une puce de circuit intégré disposée sur au moins une plaquette et entourée par des chemins de découpe ;
- réalisation d'ouvertures dans les chemins de découpe traversant la plaquette ;
- 10 - réalisation de chemins de conduction électrique couvrant le flanc de chaque ouverture et s'étendant d'un plot de contact d'une puce adjacent à l'ouverture jusqu'à un point de connexion de la puce.

15 Selon une première variante, les points de connexion sont situés sur la face arrière de la puce.

 Selon une seconde variante, les points de connexion sont situés sur la face active de la puce, le chemin de conduction électrique traversant la face arrière de la puce.

20 Selon un premier mode de réalisation, le procédé selon l'invention comporte en outre les étapes suivantes :

- 25 - individualisation d'une puce par sciage des chemins de découpe ;
- connexion des plots de contact de la puce à une interface de communication en plaçant les points de connexion de la puce en vis à vis des plages de connexion de l'interface de communication.

30 Selon un deuxième mode de réalisation, le procédé comporte en outre les étapes suivantes :

- individualisation d'au moins deux puces par sciage des chemins de découpe ;

- empilement des puces individualisées de manière à placer les points de connexion et les plots de contact de chaque puce en vis à vis ;
- connexion des plots de contact des puces empilées à travers les chemins de conduction électrique.

Selon un troisième mode de réalisation, le procédé comporte en outre les étapes suivantes :

- empilement des plaquettes comportant les puces de circuit intégré de manière à placer les points de connexion et les plots de contact de chaque puce en vis à vis ;
- connexion des plots de contact des puces empilées à travers les chemins de conduction électrique ;
- individualisation des piles de puces par sciage des chemins de découpe des plaquettes superposées.

Selon une caractéristique, les connexions entre les plots de contact et les points de connexion des puces empilées sont réalisées par collage.

Selon une particularité de réalisation, le collage est réalisé collectivement par thermoactivation.

Selon une autre caractéristique, que les connexions entre les plots de contact et les points de connexion des puces empilées sont réalisées collectivement par soudure thermosonique.

Selon une autre caractéristique, les connexions entre les plots de contact et les points de connexion des puces empilées sont réalisées collectivement par thermocompression.

Selon une autre caractéristique, les connexions entre les plots de contact et les points de connexion

des puces empilées sont réalisées collectivement par soudure ultrasonique.

5 Selon une autre caractéristique, les connexions entre les plots de contact et les points de connexion des puces empilées sont réalisées collectivement par
réfusion d'un alliage, préalablement appliqué sur les chemins de conduction électrique.

Selon une variante de réalisation, les ouvertures sont percées aux intersections des chemins de découpe.

10 Selon une autre variante de réalisation, les ouvertures sont percées sur les bords des chemins de découpe, à proximité des plots de contact des puces.

Selon une variante, les chemins de conduction électrique sont réalisés en matériau métallique.

15 Selon une autre variante, les chemins de conduction électrique sont réalisés en polymère conducteur.

La présente invention concerne également un dispositif électronique comportant au moins une puce de
20 circuit intégré, caractérisé en ce que les plots de contact de la puce sont reliés à une interface de communication par des chemins de conduction électrique portés au moins en partie par la puce.

L'invention s'applique en outre à un dispositif
25 électronique comportant une pile d'au moins deux circuits intégrés, caractérisée en ce que les connexions entre les plots de contact des puces empilées sont assurées par contact électrique à travers des chemins de conduction électrique couvrant chacun le
30 flanc de la puce et s'étendant d'un plot de contact jusque sur la face arrière de la puce.

Selon une caractéristique, la pile de circuits intégrés est connectée à une interface de communication

à travers au moins un des chemins de conduction électrique portés au moins en partie par la puce.

Le procédé selon l'invention est simple à mettre en oeuvre et permet d'obtenir des piles de circuits intégrés compacts pouvant avoir plus de trois niveaux.

En particulier, l'utilisation de plaquettes de circuits fines permettra une excellente compacité de l'empilement.

De telles piles peuvent être reportées dans un support de carte aux dimensions standards ISO, soit d'une épaisseur de 0.76 mm.

De plus, le procédé de fabrication selon l'invention présente l'avantage de permettre une connexion collective des puces superposées, ce qui entraîne un gain de temps et une réduction des coûts.

La connexion collective des puces peut être réalisée après l'individualisation des puces et leur empilement ou avant l'individualisation en empilant les plaquettes.

En outre, le procédé de l'invention permet un gain de matières important.

De plus, les caractéristiques électriques de la pile de circuits obtenue seront meilleures que celles obtenues par câblage filaire. On obtient en effet des caractéristiques comparables à celles obtenues par une connexion " flip chip ".

Dans une variante de réalisation, il est également possible de réaliser une antenne directement sur une face de la puce afin d'obtenir un micro empilement sans contact.

L'invention permet en outre de réaliser des déviations de contact sur une puce unique de manière à la reporter directement sur une interface de

communication quelque soit le motif des plages de connexion de cette dernière.

5 La puce ou la pile de puces sont en outre facilement connectées à l'interface de communication du dispositif à travers les chemins de conduction électrique précédemment réalisés.

10 D'autres particularités et avantages de l'invention apparaîtront à la lecture de la description donnée à titre d'exemple illustratif et non limitatif et faite en référence aux figures annexées qui représentent :

- 15 - La figure 1, déjà décrite, est un schéma en coupe transversale illustrant un procédé traditionnel de fabrication de pile de circuits intégrés ;
- La figure 2, déjà décrite, est un schéma en coupe transversale illustrant un procédé connu de fabrication de pile de circuits intégrés ;
- 20 - La figure 3 est une vue schématique de dessus d'une portion d'une plaquette de circuits intégrés faisant apparaître les chemins de découpe ;
- La figure 4 est une vue schématique de dessus d'une ouverture pratiquée dans les chemins de découpe selon le procédé de l'invention ;
- 25 - La figure 5 est une vue schématique de dessus illustrant la métallisation des plots de contact selon le procédé de l'invention ;
- 30 - La figure 6 est une vue schématique de dessus illustrant le sciage des chemins de découpes selon le procédé de l'invention ;

- La figure 7 est une vue en coupe de la métallisation des plots de contact selon le procédé de l'invention ;
- 5 - Les figures 8a et 8b sont des vues schématiques de différentes variantes de réalisation des métallisations selon le procédé de l'invention ;
- La figure 9 illustre schématiquement l'empilement des circuits intégrés obtenu selon le procédé de l'invention ;
- 10 - La figure 10 illustre schématiquement une vue de dessus d'une variante de réalisation de l'invention ;
- La figure 11 est une vue schématique en coupe de la figure 10.
- 15

En se référant à la figure 3, qui illustre une portion de plaquette 1 de circuits intégrés, chaque puce de circuit 10 est encadrée par des chemins de découpe 2 qui guideront le sciage de la plaquette 1 pour individualiser les puces de circuit intégré.

20

Chaque puce 10 comprend, sur sa face active, des plots de contact 11 aptes à établir un contact électrique avec une autre puce et/ou avec une interface de communication.

25

La figure 4 est un gros plan de l'intersection A entre deux chemins de découpe 2.

Selon une caractéristique essentielle du procédé selon l'invention, des ouvertures 20 sont réalisées dans les chemins de découpe 2. Ces ouvertures 20 traversent toute l'épaisseur de la plaquette 1.

30

Selon le mode de réalisation illustré sur la figure 4, l'ouverture 20 est réalisée à l'intersection A des chemins de découpe 2.

Selon d'autres modes de réalisation, des ouvertures 20 peuvent être percées dans les bords des chemins de découpe 2, préférentiellement à proximité des plots de contact 11 des puces 10.

5 L'ouverture 20 de la plaquette peut être réalisée par découpe laser, par micro usinage par décharges électriques, ou par jet d'eau haute pression, ou encore par tout autre moyen connu dans l'état de la technique.

10 Sur la variante illustrée sur la figure 4, l'ouverture présente une forme circulaire centrée sur l'intersection A des chemins de découpe 2.

Avantageusement, l'ouverture 20 est réalisée à proximité des plots de contact 11 des quatre puces 10 présentant un coin sur l'intersection A.

15 La figure 5 illustre l'étape de réalisation des chemins de conduction électrique.

Ces chemins 25 sont réalisés dans un matériau conducteur tel qu'un métal ou un polymère conducteur par exemple.

20 De manière générale, ces chemins 25 couvrent les flancs des ouvertures 20 et s'étendent d'un plot de contact 11 adjacent à une ouverture 20 jusqu'à un point de connexion 12.

25 Selon les applications du procédé, les points de connexion 12 se situent sur la face arrière de la puce 10 ou sur sa face avant. Pour réaliser une pile de circuits intégrés, les points de connexions se trouvent préférentiellement sur la face arrière de chaque puce 10.

30 Ces chemins de conduction électrique 25 peuvent être réalisés selon différentes techniques connues.

Une matière conductrice peut, par exemple, être imprimée sur une zone prédéterminée de la plaquette par

sérigraphie ou par jet de matière à l'aide d'une tête d'impression.

Les chemins 25 peuvent également être réalisés, par exemple, par dépôt chimique de matière conductrice, par électrolyse, par pulvérisation de matière conductrice vaporisée, ou encore par évaporation sous vide de matière conductrice.

D'autres techniques de dépôt de matière conductrice peuvent être envisagées par un homme du métier tout en restant dans le cadre de cette invention.

Comme illustré sur la figure 6, les puces 10 sont ensuite individualisées par sciage 21 des chemins de découpe 2.

Le sciage 21 permet également de dissocier les plots de contact 11 métallisés les uns des autres afin qu'il n'y ait aucun contact électrique entre des puces 10 différentes sur la même plaquette 1.

La figure 7 illustre en coupe la zone couverte par un chemin de conduction électrique 25. Cette zone s'étend, en crochet, sur les plots de contact 11 adjacents à l'ouverture 20, sur les flancs de l'ouverture 20 et sur la face arrière des puces en contact avec ladite ouverture 20 pour atteindre un point de connexion 12.

Un contact électrique est ainsi établi entre les plots de contact 11 des puces 10 et les points de connexion 12 des faces arrières respectives.

Les figures 8a et 8b illustrent des variantes de réalisation du procédé de fabrication selon l'invention avec d'autres formats de découpe d'ouvertures 20 et de chemins de conduction électrique 25.

La figure 8a illustre une ouverture 20 de grand format percée en croix à l'intersection des chemins de découpe 2, avec une zone électriquement conductrice 25

en arc de cercle rompue par le sciage 21 de la plaquette le long des chemins de découpe 2 de manière à dissocier chaque puce 10 et ses contact 11.

5 Une telle variante permet une grande tolérance dans le positionnement lors de l'empilement des puces de circuit intégré.

10 La figure 8b illustre une variante dans laquelle quatre petites ouvertures 20 ont été percées dans les chemins de découpe 2, à proximité des plots de contact 11 de chaque puce 10. Une zone électriquement conductrice 25 couvre donc une languette s'étendant de chaque plot de contact 11 à l'ouverture 20.

15 Dans cette variante le sciage 21 de la plaquette le long des chemins de découpe 2 permettra uniquement d'individualiser les puces 10 sans rompre les chemins de conduction électrique 25 comme c'était le cas dans les autres variantes décrites.

20 D'autres formes de réalisation d'ouvertures 20 et de chemins 25 peuvent être envisagées selon la taille et l'emplacement des plots de contact 11 sur les puces 10.

La figure 9 illustre l'empilement des puces de circuit intégré selon le procédé de fabrication de l'invention.

25 Les puces de circuit intégré 10, individualisées par sciage de la plaquette le long des chemins de découpe 2, sont empilées les unes sur les autres de manière à placer les points de connexion 12 et les plots de contact 11 de chaque puce 10 en vis à vis.

30 Selon un autre mode de réalisation, une pluralité de plaquettes 1 peuvent être empilées les unes sur les autres de manière à placer les points de connexion 12 et les plots de contact 11 de chaque puce 10 en vis à vis.

Après connexion des plots de contact 11 entre eux, des piles de circuits intégrés sont individualisées par sciage des chemins de découpes 2 des plaquettes 1 superposées.

5 Les connexions entre les plots de contact 11 des puces 10 empilées sont obtenues par collage ou par soudure des chemins de conduction électrique 25 ou par tout autre moyen adapté.

10 Selon un mode de réalisation préférentiel, les connexions sont effectuées collectivement, sur les puces 10 empilées, en utilisant une colle thermoactivable et en chauffant collectivement la pile de puces 10.

15 Selon d'autre modes de réalisation, il est envisageable d'utiliser différents types de colle pour la connexion des chemins 25, tel qu'une colle à conduction anisotropique, ou une colle à conduction isotropique, ou une colle non conductrice qui présente un fort retrait lors de sa polymérisation de manière à
20 placer les plots de contact 11 et les points de connexion 12 en vis à vis pour un contact mécanique.

Selon un autre mode de réalisation préférentiel, les connexions sont effectuées collectivement, sur les puce 10 empilées.

25 La connexion collective peut être réalisée par soudure ultrasonique. Une métallisation dorée, ou aluminisée, par exemple, est appliquée sur les chemins de conduction électrique 25 et la pile de puces est mise en vibration par ultrasons de manière à réaliser
30 une soudure intermétallique des contacts 11 et des points de connexion 12 métallisés.

La connexion collective peut également être obtenue par thermocompression ou par compression thermosonique.

Selon d'autres modes de réalisation, les connexions des plots de contact 11 avec les points de connexion 12 peuvent être obtenues par réfusion d'un alliage plaqué tel que de l'étain/plomb par exemple, l'activation de la soudure étant obtenu par chauffage local du plaquage au moyen d'un faisceau ou d'une fibre laser par exemple.

Les figures 10 et 11 illustrent une application possible du procédé selon la présente invention.

Dans une telle application, les plots de connexion 12 sont situés sur la face active de la puce 10. Les chemins de conduction électrique 25 permettent avantageusement d'amener les plots de contact 11 respectivement vers des points de connexion 12 situés sur le côté opposé de la face active de la puce 10, les chemins 25 passant par la face arrière de la puce 10.

Cette application permet essentiellement de réaliser une connexion directe entre la puce 10 et une interface de communication quelque soit le motif des plages de connexion de cette dernière, l'emplacement des points de connexion 12 étant défini de manière à se trouver respectivement en vis à vis des plages de connexion de ladite interface.

Une autre application possible du procédé selon l'invention, non illustré, consiste à réaliser les points de connexion 12 sur la face arrière de la puce 10 comme cela a précédemment été décrit.

Cependant, plutôt que de réaliser un empilement de puces 10, une unique puce est reportée directement sur une interface de communication. Ce report ne nécessite aucun câblage filaire, ni de retournement de la puce.

REVENDICATIONS

1. Procédé de fabrication d'un dispositif portable à circuit intégré, caractérisé en ce qu'il comporte les étapes suivantes :

- 5 - fourniture d'au moins une puce de circuit intégré (10) disposée sur au moins une plaquette (1) et entourée par des chemins de découpe (2) ;
- réalisation d'ouvertures (20) dans les chemins de découpe (2) traversant la plaquette
- 10 (1) ;
- réalisation de chemins de conduction électrique (25) couvrant le flanc de chaque ouverture (20) et s'étendant d'un plot de contact (11) d'une puce (10) adjacent à
- 15 l'ouverture (20) jusqu'à un point de connexion (12) de la puce (10).

2. Procédé de fabrication selon la revendication 1, caractérisé en ce que les points de connexion (12) sont

20 situés sur la face arrière de la puce (10).

3. Procédé de fabrication selon la revendication 1, caractérisé en ce que les points de connexion (12) sont situés sur la face active de la puce (10), le chemin de

25 conduction électrique (25) traversant la face arrière de la puce (10).

4. Procédé de fabrication selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte

30 en outre les étapes suivantes :

- individualisation d'une puce (10) par sciage des chemins de découpe (2) ;

- connexion des plots de contact (11) de la puce (10) à une interface de communication en plaçant les points de connexion (12) de la puce (10) en vis à vis des plages de connexion de l'interface de communication.

5. Procédé de fabrication selon la revendication 2, caractérisé en ce qu'il comporte en outre les étapes suivantes :

- individualisation d'au moins deux puces (10) par sciage des chemins de découpe (2) ;
- empilement des puces (10) individualisées de manière à placer les points de connexion (12) et les plots de contact (11) de chaque puce (10) en vis à vis ;
- connexion des plots de contact (11) des puces (10) empilées à travers les chemins de conduction électrique (25).

6. Procédé de fabrication selon la revendication 2, une pluralité de plaquettes (1) comportant chacune une pluralité de puces (10), caractérisé en ce qu'il comporte en outre les étapes suivantes :

- empilement des plaquettes (1) comportant les puces (10) de circuit intégré de manière à placer les points de connexion (12) et les plots de contact (11) de chaque puce (10) en vis à vis ;
- connexion des plots de contact (11) des puces (10) empilées à travers les chemins de conduction électrique (25) ;
- individualisation des piles de puces (10) par sciage des chemins de découpe (2) des plaquettes (1) superposées.

7. Procédé de fabrication selon l'une quelconque des revendications 5 à 6, caractérisé en ce que les connexions entre les plots de contact (11) et les points de connexion (12) des puces (10) empilées sont réalisées par collage.

8. Procédé de fabrication selon la revendication 7, caractérisé en ce que le collage est réalisé collectivement par thermoactivation.

9. Procédé de fabrication selon l'une quelconque des revendications 5 à 6, caractérisé en ce que les connexions entre les plots de contact (11) et les points de connexion (12) des puces (10) empilées sont réalisées collectivement par soudure thermosonique.

10. Procédé de fabrication selon l'une quelconque des revendications 5 à 6 caractérisé en ce que les connexions entre les plots de contact (11) et les points de connexion (12) des puces (10) empilées sont réalisées collectivement par thermocompression.

11. Procédé de fabrication selon l'une quelconque des revendications 5 à 6 caractérisé en ce que les connexions entre les plots de contact (11) et les points de connexion (12) des puces (10) empilées sont réalisées collectivement par soudure ultrasonique.

12. Procédé de fabrication selon l'une quelconque des revendications 5 à 6, caractérisé en ce que les connexions entre les plots de contact (11) et les points de connexion (12) des puces (10) empilées sont réalisées collectivement par réfuséon d'un alliage,

préalablement appliqué sur les chemins de conduction électrique (25).

5 13. Procédé de fabrication selon l'une quelconque des revendications 1 à 12, caractérisé en ce que les ouvertures (20) sont percées aux intersections des chemins de découpe (2).

10 14. Procédé de fabrication selon l'une quelconque des revendications 1 à 12, caractérisé en ce que les ouvertures (20) sont percées sur les bords des chemins de découpe (2), à proximité des plots de contact (11) des puces (10).

15 15. Procédé de fabrication selon l'une quelconque des revendications 1 à 14, caractérisé en ce que les chemins de conduction électrique (25) sont réalisés en matériau métallique.

20 16. Procédé de fabrication selon l'une quelconque des revendications 1 à 14, caractérisé en ce que les chemins de conduction électrique (25) sont réalisés en polymère conducteur.

25 17. Dispositif électronique comportant au moins une puce de circuit intégré, caractérisé en ce que les plots de contact (11) de la puce (10) sont reliés à une interface de communication par des chemins de conduction électrique (25) portés au moins en partie
30 par la puce (10).

18. Dispositif électronique comportant une pile d'au moins deux circuits intégrés, caractérisée en ce que les connexions entre les plots de contact (11) des

puces (10) empilées sont assurées par contact électrique à travers des chemins de conduction électrique (25) couvrant chacun le flanc de la puce (10) et s'étendant d'un plot de contact (11) jusque sur la face arrière de la puce (10).

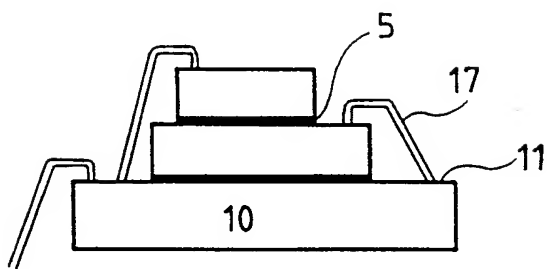
19 Dispositif électronique selon la revendication 18, caractérisé en ce que la pile de circuits intégrés est connectée à une interface de communication à travers au moins un des chemins de conduction électrique (25) portés au moins en partie par la puce (10).

20. Dispositif électronique selon l'une des revendications 17 ou 19, tel qu'un support à puce, un module électronique, une carte à puce, caractérisé en ce que l'interface de communication est de type avec et/ou sans contact.

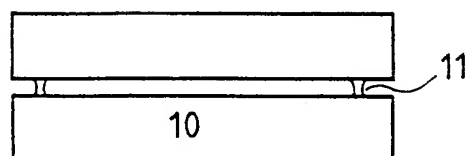
20

1/2

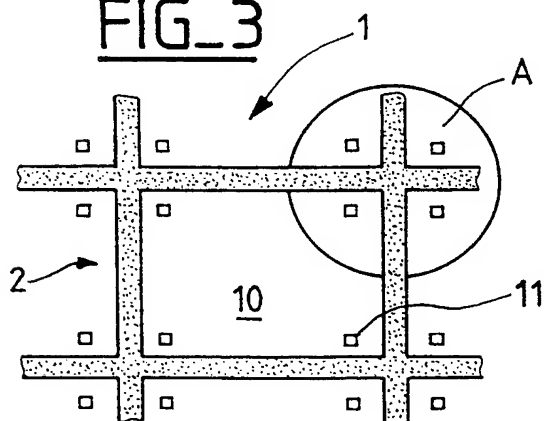
FIG_1



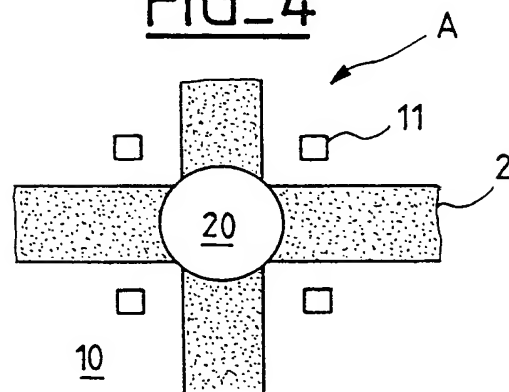
FIG_2



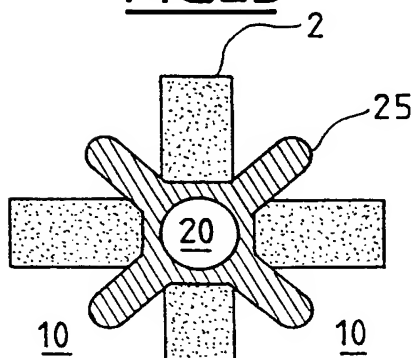
FIG_3



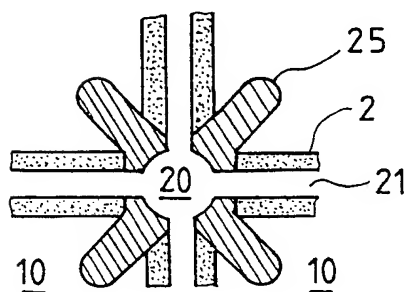
FIG_4



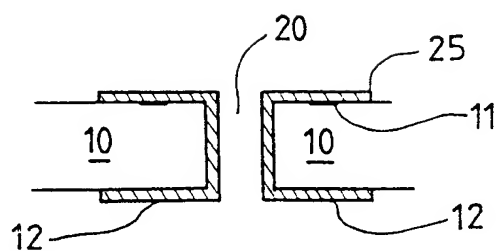
FIG_5



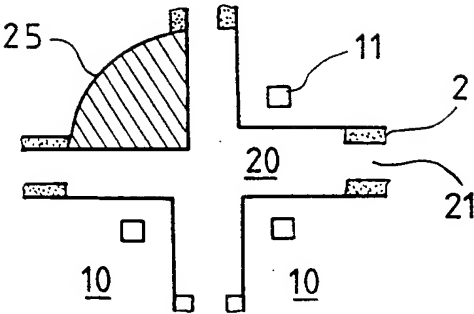
FIG_6



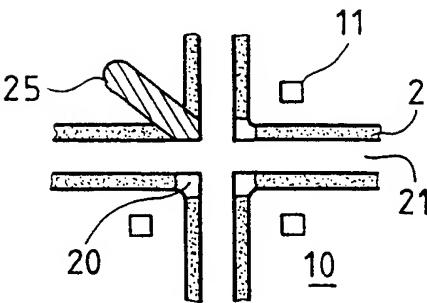
FIG_7



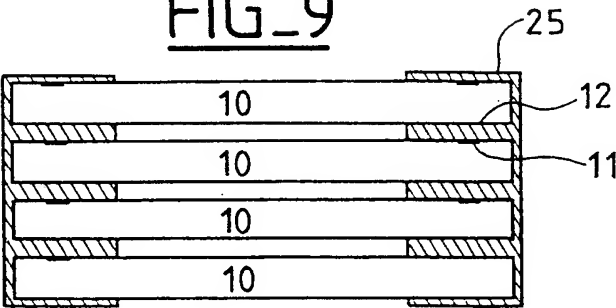
FIG_8a



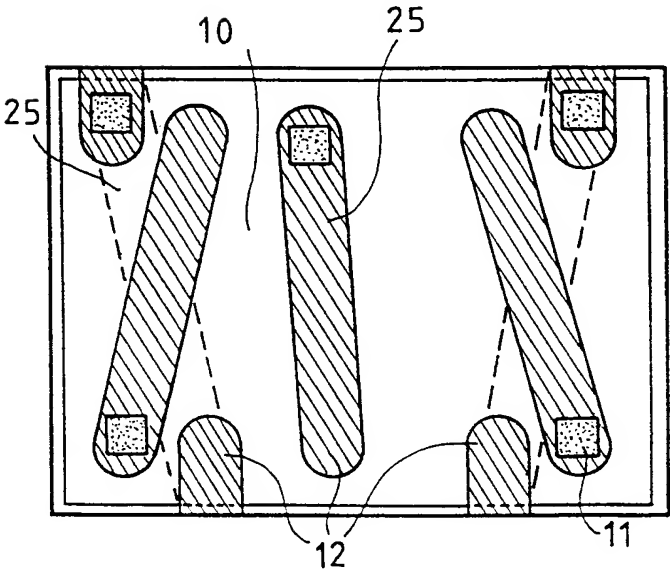
FIG_8b



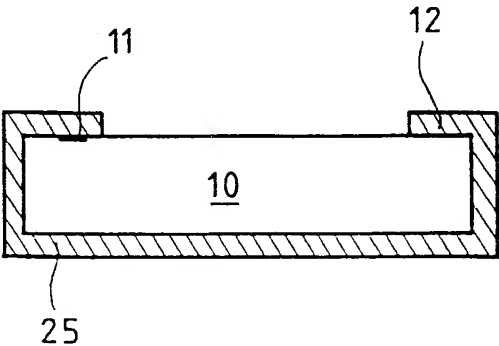
FIG_9



FIG_10



FIG_11



INTERNATIONAL SEARCH REPORT

Internatio Application No

PCT/FR 00/01264

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/98 H01L25/065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	WO 99 59206 A (KONINKL PHILIPS ELECTRONICS NV ; PHILIPS AB (SE)) 18 November 1999 (1999-11-18) the whole document ----	1-3, 13-15
X	US 4 984 358 A (NELSON BRADLEY H) 15 January 1991 (1991-01-15) the whole document ----	1-5, 13-15, 17-20
X	PATENT ABSTRACTS OF JAPAN vol. 006, no. 123 (E-117), 8 July 1982 (1982-07-08) -& JP 57 049252 A (MATSUSHITA ELECTRONICS CORP), 23 March 1982 (1982-03-23) abstract; figures 1-3 ----- -/-	1-3, 13-15, 17

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

1 August 2000

Date of mailing of the international search report

09/08/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Zeisler, P

INTERNATIONAL SEARCH REPORT

Internat Application No

PCT/FR 00/01264

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 818 107 A (PIERSON MARK VINCENT ET AL) 6 October 1998 (1998-10-06)	17-19
Y	claim 1; figure 2	1-3
Y	US 5 688 721 A (JOHNSON TONY K) 18 November 1997 (1997-11-18)	1-3
A	claims 1,14; figure 16	4-6,17,18
A	US 5 699 234 A (SAIA RICHARD JOSEPH ET AL) 16 December 1997 (1997-12-16)	1,5,17,18
A	claim 1; figure 7	
A	EP 0 522 518 A (HUGHES AIRCRAFT CO) 13 January 1993 (1993-01-13)	1,5,17,18
A	claims 1,6; figure 3	
A	EP 0 708 485 A (IBM) 24 April 1996 (1996-04-24)	1,15,16
A	column 8, line 5 - line 11; claims 1,15; figure 1	
A	EP 0 186 829 A (BBC BROWN BOVERI & CIE) 9 July 1986 (1986-07-09)	7-10
A	claims 1,6,10; figure 1	
A	US 5 673 478 A (BEENE GARY L ET AL) 7 October 1997 (1997-10-07)	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/01264

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9959206 A	18-11-1999	NONE	
US 4984358 A	15-01-1991	US 4930216 A	05-06-1990
JP 57049252 A	23-03-1982	NONE	
US 5818107 A	06-10-1998	JP 10214862 A	11-08-1998
US 5688721 A	18-11-1997	WO 9525341 A	21-09-1995
US 5699234 A	16-12-1997	US 5657537 A	19-08-1997
EP 0522518 A	13-01-1993	US 5311401 A	10-05-1994
		AU 656595 B	09-02-1995
		AU 1947592 A	21-01-1993
		CA 2073363 A	10-01-1993
		IL 102397 A	30-03-1995
		JP 5259375 A	08-10-1993
		JP 8034283 B	29-03-1996
		KR 9603768 B	22-03-1996
EP 0708485 A	24-04-1996	US 5521434 A	28-05-1996
		JP 2889160 B	10-05-1999
		JP 8204117 A	09-08-1996
		US 5654221 A	05-08-1997
EP 0186829 A	09-07-1986	DE 3446780 A	03-07-1986
		AT 66094 T	15-08-1991
		JP 61154764 A	14-07-1986
		US 4746055 A	24-05-1988
US 5673478 A	07-10-1997	NONE	

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L21/98 H01L25/065

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, PAJ, WPI Data, IBM-TDB

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
P,X	WO 99 59206 A (KONINKL PHILIPS ELECTRONICS NV ; PHILIPS AB (SE)) 18 novembre 1999 (1999-11-18) le document en entier	1-3, 13-15
X	US 4 984 358 A (NELSON BRADLEY H) 15 janvier 1991 (1991-01-15) le document en entier	1-5, 13-15, 17-20
X	PATENT ABSTRACTS OF JAPAN vol. 006, no. 123 (E-117), 8 juillet 1982 (1982-07-08) -& JP 57 049252 A (MATSUSHITA ELECTRONICS CORP), 23 mars 1982 (1982-03-23) abrégé; figures 1-3	1-3, 13-15, 17
	-/-	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

1 août 2000

Date d'expédition du présent rapport de recherche internationale

09/08/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Zeisler, P

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 818 107 A (PIERSON MARK VINCENT ET AL) 6 octobre 1998 (1998-10-06)	17-19
Y	revendication 1; figure 2	1-3
Y	US 5 688 721 A (JOHNSON TONY K) 18 novembre 1997 (1997-11-18)	1-3
A	revendications 1,14; figure 16	4-6, 17, 18
A	US 5 699 234 A (SAIA RICHARD JOSEPH ET AL) 16 décembre 1997 (1997-12-16)	1, 5, 17, 18
A	EP 0 522 518 A (HUGHES AIRCRAFT CO) 13 janvier 1993 (1993-01-13)	1, 5, 17, 18
A	revendications 1,6; figure 3	
A	EP 0 708 485 A (IBM) 24 avril 1996 (1996-04-24)	1, 15, 16
A	colonne 8, ligne 5 - ligne 11; revendications 1,15; figure 1	
A	EP 0 186 829 A (BBC BROWN BOVERI & CIE) 9 juillet 1986 (1986-07-09)	7-10
A	revendications 1,6,10; figure 1	
A	US 5 673 478 A (BEENE GARY L ET AL) 7 octobre 1997 (1997-10-07)	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux familles de brevets de brevets

Demande internationale No

PCT/FR 00/01264

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 9959206 A	18-11-1999	AUCUN	
US 4984358 A	15-01-1991	US 4930216 A	05-06-1990
JP 57049252 A	23-03-1982	AUCUN	
US 5818107 A	06-10-1998	JP 10214862 A	11-08-1998
US 5688721 A	18-11-1997	WO 9525341 A	21-09-1995
US 5699234 A	16-12-1997	US 5657537 A	19-08-1997
EP 0522518 A	13-01-1993	US 5311401 A	10-05-1994
		AU 656595 B	09-02-1995
		AU 1947592 A	21-01-1993
		CA 2073363 A	10-01-1993
		IL 102397 A	30-03-1995
		JP 5259375 A	08-10-1993
		JP 8034283 B	29-03-1996
		KR 9603768 B	22-03-1996
EP 0708485 A	24-04-1996	US 5521434 A	28-05-1996
		JP 2889160 B	10-05-1999
		JP 8204117 A	09-08-1996
		US 5654221 A	05-08-1997
EP 0186829 A	09-07-1986	DE 3446780 A	03-07-1986
		AT 66094 T	15-08-1991
		JP 61154764 A	14-07-1986
		US 4746055 A	24-05-1988
US 5673478 A	07-10-1997	AUCUN	